

Dipl.-Inform. Olaf Stern, Siegen

# **Effiziente Erfassung von realistischen Fehlern in hochintegrierten Schaltungen**

Reihe **9**: Elektronik

Nr. **240**

# Inhaltsverzeichnis

|  |           |
|--|-----------|
| Abkürzungs- und Symbolverzeichnis .....                            | IX        |
| Abstract .....   | XIII      |
| <b>1 Einleitung .....</b>  | <b>1</b>  |
| 1.1 Motivation .....   | 1         |
| 1.2 Gegenstand der Arbeit.....                                     | 3         |
| 1.3 Aufbau der Arbeit.....   | 5         |
| <b>2 Grundlagen .....</b>  | <b>7</b>  |
| 2.1 Einordnung.....  | 7         |
| 2.2 Defekte .....  | 9         |
| 2.2.1 Defektparameter.....   | 10        |
| 2.2.2 Defektgrößenverteilung .....                                 | 12        |
| 2.2.3 Defektdichte und Ausbeutemodellierung.....                   | 14        |
| 2.3 Layoutfehler .....   | 15        |
| 2.4 Elektrische Fehler.....  | 16        |
| 2.5 Logikfehler .....  | 17        |
| 2.6 Relevante Defektmengen .....                                   | 18        |
| <b>3 Stand der Technik.....</b>                                    | <b>19</b> |
| 3.1 Fehlermodellierung .....                                       | 19        |
| 3.2 Fehlererfassung und Defekterfassung .....                      | 22        |
| 3.3 Fehlerextraktion .....   | 24        |
| 3.3.1 Induktive Verfahren .....                                    | 24        |
| 3.3.2 Analytische Verfahren .....                                  | 27        |
| <b>4 Effiziente Defekt Extraktion (EDEN) .....</b>                 | <b>31</b> |
| 4.1 Aufbau des Extraktionsverfahrens .....                         | 31        |
| 4.1.1 Aufgabe der Layoutzerlegung.....                             | 33        |
| 4.1.2 Aufgabe der erweiterten Transistornetzlistenextraktion ..... | 34        |
| 4.1.3 Aufgabe der Analysereihenfolge .....                         | 37        |
| 4.1.4 Gesamtablauf von EDEN.....                                   | 38        |

|          |   |           |
|----------|---|-----------|
| 4.2      | Layoutzerlegung .....                                   | 41        |
| 4.2.1    | Kriterien für die Layoutzerlegung .....                 | 41        |
| 4.2.2    | Zerlegung eines Layouts .....                           | 42        |
| 4.3      | Erweiterte Transistornetzlistenextraktion .....         | 55        |
| 4.3.1    | Konventionelle Transistornetzlistenextraktion .....     | 55        |
| 4.3.2    | Extraktion einer erweiterten Transistornetzliste .....  | 57        |
| 4.4      | Analysereihenfolge .....                                | 66        |
| 4.4.1    | Gewichtung einer elementaren Fläche .....               | 66        |
| 4.4.2    | Herleitung der Analysereihenfolge .....                 | 67        |
| 4.4.3    | Abschätzung der Defekterfassung .....                   | 69        |
| 4.5      | Extraktion der elektrischen Fehler .....                | 73        |
| 4.5.1    | Abbildung von Defekten auf elektrische Fehler .....     | 73        |
| 4.5.2    | Abschätzung der Auftretswahrscheinlichkeit .....        | 83        |
| 4.6      | Extraktion der Logikfehler .....                        | 88        |
| <b>5</b> | <b>Analyseergebnisse der Fehlerextraktion. ....</b>     | <b>91</b> |
| 5.1      | Maße für die Defekterfassung .....                      | 91        |
| 5.2      | Experimentaufbau .....                                  | 92        |
| 5.2.1    | Simulationsumgebung .....                               | 92        |
| 5.2.2    | Verwendete Defektstatistik .....                        | 93        |
| 5.2.3    | Untersuchte Schaltungen .....                           | 93        |
| 5.2.4    | Extraktionsmustersmengen und Testmustersmengen .....    | 94        |
| 5.3      | Realistische Fehler .....                               | 96        |
| 5.4      | Validierung von Testmustersmengen .....                 | 98        |
| 5.5      | Beispiele für Defekte mit komplexem Fehlverhalten ..... | 100       |
| 5.5.1    | Lastabhängiger statischer Logikfehler .....             | 100       |
| 5.5.2    | Frequenzabhängiger statischer Logikfehler .....         | 103       |
| 5.6      | Kombinierter Spannungs- und Stromtest .....             | 105       |
| 5.7      | Parameterextraktion für den Ruhestromtest .....         | 108       |
| 5.7.1    | Ruhestromtest und notwendige Parameter .....            | 109       |
| 5.7.2    | Maximaler Schaltstrom ( $I_{DD,max}$ ) .....            | 111       |
| 5.7.3    | Maximaler Ruhestrom ( $I_{DDQ,max}$ ) .....             | 111       |
| 5.7.4    | Fehlerstrom ( $I_{DDQ,th}$ ) .....                      | 113       |

|  |            |
|--|------------|
| <b>6 Zusammenfassung</b> .....   | <b>119</b> |
| 6.1 Erzielte Ergebnisse .....  | 119        |
| 6.2 Weitere Anwendungsgebiete .....  | 122        |
| <b>Anhang A: Defekt-Tabelle</b> .....  | <b>123</b> |
| A.1 Aufbau der Defekt-Tabelle .....  | 123        |
| A.2 Beispieleinträge der Defekt-Tabelle .....  | 125        |
| <b>Anhang B: Bestimmung der aktiven Bauelemente und Aufbau des Verbindungs-</b><br><b>graphen in einer erweiterten Transistornetzliste</b> ..... | <b>127</b> |
| B.1 Bestimmung der aktiven Bauelemente .....   | 127        |
| B.2 Aufbau des Verbindungsgraphen .....  | 128        |
| <b>Anhang C: Berechnung der mittleren kritischen Fläche</b> .....  | <b>129</b> |
| C.1 Mittlere kritische Fläche einer horizontalen Verbindung .....  | 129        |
| C.2 Mittlere kritische Fläche einer vertikalen Verbindung .....  | 138        |
| C.3 Mittlere kritische Fläche einer horizontalen Unterbrechung .....   | 138        |
| C.4 Mittlere kritische Fläche einer Überlappung .....  | 145        |
| <b>Literatur</b> .....   | <b>149</b> |
| <b>Stichwortverzeichnis</b> .....  | <b>157</b> |