

Inhaltsverzeichnis

1	Grundlegende Betrachtungen	3
1.1	Darstellung von Bandpaß-Signalen durch I- und Q-Phase	3
1.1.1	Klassische Erzeugung von I- und Q-Phase durch die Hilbert-Transformation	5
1.1.2	Kohärente Demodulation	6
1.1.3	Demodulation mit Hilfe von I- und Q-Phase	7
1.2	Beschreibung der LW-Datensignale	8
1.2.1	Der Zeitzeichensender DCF77	9
1.2.2	Die Wetterbildsender DCF37 und DCF54	12
1.2.3	Signale des Textsenders DCF49	12
1.3	Kriterien zur Beurteilung von PGAs	13
2	Methoden der Frequenzsynthese	19
2.1	Klassische analoge Verfahren zur Frequenzsynthese	19
2.2	Direkte Digitale Synthesizer	20
2.2.1	Direkte Digitale Synthesizer mit Akkumulator	20
2.2.2	Der Frequenzteiler	26
2.2.3	Multiplikative Frequenzerzeugung	27
2.2.4	Abschließender Vergleich der DDS-Verfahren	28
2.3	Hybride Verfahren zur Frequenzsynthese	28
2.3.1	Phase Locked Loop (PLL) zur Frequenzsynthese	29
2.3.2	Modifizierte PLL-Synthesizer	30
2.3.2.1	Akkumulator-Synthesizer als PLL-Referenz	31
2.3.2.2	Fraktionale M -Synthese	32
2.3.3	Neuer Synthesizer mit Akkumulator-Rest-Division	34
2.3.3.1	Verallgemeinerung	34
2.3.3.2	Hybride Struktur zur Phasenfehlerkompensation	35
2.3.3.3	Hardware-Konzepte	36
2.3.3.4	Beschreibung des Testaufbaus	38
2.3.3.5	Meßergebnisse	39
2.3.3.6	Vergleich zwischen Theorie und Praxis	40
2.4	Einordnung des neuen Verfahrens	41
3	Selektion und A/D-Wandlung für Bandpaßsignale	43
3.1	A/D-Wandlung für Bandpaßsignale	43
3.2	Der konventionelle $\Sigma\Delta$ -A/D-Wandler	45

3.2.1	Das Prinzip des „Noise Shaping“ für Tiefpaßsignale	46
3.2.2	S/N-Gewinn durch Dezimation	47
3.2.3	„Noise Shaping“ für Bandpaßsignale	50
3.2.4	S/N-Gewinn für den Bandpaßwandler	50
3.3	Entwurf des Analogteils	53
3.3.1	DCF77-BP- $\Sigma\Delta$ -A/D-Wandler	61
3.4	Dezimationsfilter für den $\Sigma\Delta$ -Bandpaßwandler	62
3.4.1	Stabilitätstests für Frequenzabstastfilter	64
3.4.2	Stabilität von Elementarfilterstrukturen	66
3.4.3	Bestimmung geeigneter Bit-Breiten in der Kaskade	70
3.4.3.1	Bestimmung der Bit-Breite der einzelnen Register	72
3.4.4	Entwurfsbeispiel	75
3.4.4.1	Realisierung mit parallelen Elementarfiltern	75
3.4.4.2	Realisierung mit Halbbandfilter und Elementarfiltern	76
3.4.4.3	Realisierung mit CBPC-Filtern	78
4	Universelle Demodulatoren	80
4.1	Inkohärente Abtastempfänger für Bandpaßsignale	80
4.1.1	Quadraturüberlagerungsempfänger	81
4.1.2	Die Bandpaßabtastung (Integer-Band-Sampling)	85
4.1.3	Der Quadraturabtastempfänger	87
4.1.4	Der Hilbert-Abtastempfänger	90
4.1.4.1	Hilbert-Abtaster nullter Ordnung	91
4.1.4.2	Hilbert-Abtaster höherer Ordnung	91
4.1.4.3	Hilbert-Abtastempfänger mit Unterabtastung	95
4.1.5	Vergleich der Abtastempfänger	97
4.2	CORDIC-Demodulator	98
4.2.1	Grundlagen des CORDIC-Prinzips	98
4.2.2	Funktionale Beschreibung des Koordinatentransformators	99
4.2.3	Mögliche Hardware-Realisierung des CORDIC-Algorithmus	102
4.2.4	Hilbert-Integer-Band-Aufteilung für BP- $\Sigma\Delta$ -Wandler	106
4.2.5	Vergleich verschiedener Demodulationsprinzipien	108
4.3	Optimalstrategien zur inkohärenten FM-Demodulation	109
4.3.1	Abschätzung zur Bitfehlerwahrscheinlichkeit	111
4.3.2	Strategien zur Optimaldemodulation für FM-LW-Signale	113
4.3.3	Gedächtnisbehaftete Demodulation	115
4.4	Kohärente Empfänger für Bandpaßsignale	119
4.4.1	Linearer Phasenregelkreis	121
4.4.2	Die digitale PLL	123
4.4.3	Costas Regelschleife	125
4.5	Vergleich der realisierten Empfängerschaltungen	129
5	Verschlüsselung und Fehlerkorrektur	137
5.1	Fehlerkorrektur für DCF77	138
5.1.1	Protokollfeldauswertung als Wiederholungscode	139
5.1.2	Erweiterung der Fehlererkennung zum Hamming-Code	140

5.1.3	Fehlerschutz für das gesamte Minutentelegramm	142
5.1.3.1	Codierungsschranken	144
5.1.3.2	Auswahl des Codes für das gesamte Minutentelegramm . .	145
5.1.3.3	Codierung	145
5.1.3.4	Decodierung	146
5.1.4	Vergleich der verschiedenen Verfahren	149
5.2	Personenrufsystem für Langwelle	152
5.2.1	Beschreibung des Datenformats	153
5.2.2	Das Minutenintervall	153
5.2.3	Fehlerkorrekturschaltung	155
5.2.3.1	Der Maximum Likelihood Sequence Decoder	156
5.2.3.2	Sequentielle Decoder	162
5.2.3.3	Algebraische Decoder	164
5.2.3.4	Abschließender Vergleich	167
5.2.4	Verschlüsselungsverfahren für FPGAs	167
5.2.4.1	Strom-Chiffren	168
5.2.4.2	Block-Chiffren	169
5.2.4.3	Vergleich der Verfahren bezüglich der kryptographischen Sicherheit	175
5.2.5	Hardware-Struktur des gesamten Decoders	177
5.2.5.1	Blockstruktur des Decoder-FPGAs	179
6	Zusammenfassung	181