

Inhaltsverzeichnis

I	Einleitung	1
II	Die Hardwarearchitektur klassischer Netzwerkadapter	5
2.1	Ein Schema zur Klassifizierung von Netzwerkadaptern	6
2.2	Erläuterung der Netzwerkadapter-Architekturen	10
2.2.1	Der unintelligente Buslave Adapter	10
2.2.2	Der intelligente Buslave Adapter	12
2.2.3	Der unintelligente Busmaster Adapter	14
2.2.4	Der intelligente DMA Busmaster Adapter	16
2.2.5	Der unintelligente DMA Busmaster Adapter	17
III	Designaspekte von Hochleistungs-Kommunikationsadaptern	19
3.1	Der ideale Netzwerkadapter	21
3.2	Die Elemente des Kommunikationssubsystems	25
3.2.1	Zusammensetzung der Kosten für den Datentransport	26
3.2.2	Die Verarbeitungsinstanzen des TCP/IP Protokolls	28
3.3	Einige Ansatzpunkte zur Leistungsoptimierung von Transportsystemen .	31
3.3.1	Softwaremaßnahmen zur Leistungssteigerung	31
3.3.2	Hardwaremaßnahmen zur Leistungssteigerung	37
IV	Die Hardwarearchitektur des Direkten Intelligenten Busmasters	43
4.1	Das Dilemma des outboard processing	44
4.2	Eine neue Hardwarearchitektur zur Unterstützung von outboard processing	45
4.2.1	Auswirkungen auf die Latenzzeit	47
4.2.2	Auswirkungen auf die Leistungsoptimierung	48
4.3	Kompatibilität und Implementierung	52
4.4	Spezifikation der Hardwarearchitektur	56
V	Leistungsbewertung mit analytischen Warteschlangenmodellen	61
5.1	Grundlagen und Voraussetzungen	63
5.2	Die Modellierung des Ankunftsprozesses von Netzwerk-Datenpaketen .	65
5.3	Allgemeines Warteschlangenmodell des Kommunikationssubsystems . .	69
5.3.1	Beschränkung der Warteschlangenmodelle	69
5.3.2	Die Komponenten des allgemeinen Warteschlangenmodells . . .	71
5.4	Das Verfahren zur mathematischen Analyse	74
5.4.1	Die Auswahl eines geeigneten Lösungsalgorithmus	76
5.4.2	Die Mittelwertanalyse	76
5.5	Aufstellung der Warteschlangennetze	78
5.6	Charakteristische Größen für die Leistungsbeurteilung	83

5.7	Ergebnisse der Modellanalysen	85
5.7.1	Variation der Paketankunftsrate	85
5.7.2	Variation der Ankunftsrate und Zusammensetzung von Paketen	88
5.7.3	Variation der Ankunftsrate und Hostbelastung	94
VI	Leistungsbewertung mit Simulationsmodellen	97
6.1	Entwicklung der Simulationsmodelle	97
6.1.1	Die Hardwarebeschreibungssprache ELLA 2000	98
6.1.2	Das Simulationsmodell für Netzwerk-Datenpakete	99
6.1.3	Weitere strukturelle Elemente der Simulationsmodelle für Netzwerkadapter	101
6.2	Die Modellierung des Datenflusses im Kommunikationssystem	105
6.3	Die Simulationsmodelle für Netzwerkadapter-Architekturen	109
6.3.1	Das Modell für den unintelligenten Buslave Adapter	109
6.3.2	Das Modell für den unintelligenten direkten Busmaster Adapter	110
6.3.3	Das Modell für den intelligenten Buslave Adapter	111
6.3.4	Das Modell für den intelligenten DMA Busmaster Adapter	112
6.3.5	Das Modell für den intelligenten direkten Busmaster Adapter	112
6.3.6	Bewertung der Simulationsmodelle	114
6.4	Analyse und Vergleich der Simulationsergebnisse	116
6.4.1	Simulation Burst-artiger Ankunftsprozesse	117
6.4.2	Simulation kontinuierlicher Ankunftsprozesse ohne Überlast	123
6.5	Die Eignung des Direkten Intelligenten Busmasters für FDDI und ATM	129
6.6	Zusammenfassung und Vergleich der Ergebnisse	131
VII	Zusammenfassung und Bewertung	137
A	Ermittlung der Parameter für die Warteschlangenmodelle	141
A.1	Die Parameter des offenen Teils von Modell A (I-D-BM)	142
A.2	Die Parameter des geschlossenen Teils von Modell A (I-D-BM)	146
A.3	Die Parameter für das I-DMA-BM Warteschlangenmodell B	147
A.4	Die Parameter für das U-D-BM Warteschlangenmodell C	148
	Literaturverzeichnis	151