

Inhaltsverzeichnis

Verzeichnis der Symbole und Abkürzungen	IX
1 Einleitung	1
1.1 Anforderungen und Entwicklung von Bildverarbeitungsverfahren	1
1.2 Derzeit bekannte Bildverarbeitungsprozessoren	3
1.3 Ableitung des Architekturansatzes	5
1.4 Aufbau der Arbeit	7
2 Charakteristische Eigenschaften paralleler Bildverarbeitung	8
2.1 Einführung und Begriffsdefinitionen	8
2.2 Identifikation relevanter Eigenschaften	8
2.3 Motivation eines Modells von Bildverarbeitungsverfahren	12
2.4 Komplexität der Datenzugriffe	15
2.4.1 Low-Level-Algorithmen	15
2.4.1.1 Medium-Level-Algorithmen	16
2.4.1.2 High-Level-Algorithmen	18
2.5 Komplexität der Verarbeitungskontrolle	18
2.5.1 Low-/Medium-Level-Algorithmen	20
2.5.1.1 High-Level-Algorithmen	21
2.6 Parallelisierung von Bildverarbeitungsverfahren	22
2.6.1 Strategien zur parallelen Bildverarbeitung	22
2.6.2 Datenparallele Verarbeitung	22
2.6.2.1 Parallelisierung auf Datenebene mit der Split-and-Merge-Strategie	24
2.6.2.2 Beispiele auf Datenebene parallelisierter Bildverarbeitungsalgorithmen	24
2.6.2.3 Mittlere Parallelität von Bildverarbeitungsverfahren auf Datenebene	26
2.6.3 Parallelisierung auf Verarbeitungsebene	27
2.6.3.1 Mikroinstruktionen- und Instruktionen-Pipelining	29
2.6.3.2 Anweisungsebene	30
2.6.3.3 Funktionsebene	30
2.6.3.4 Algorithmenebene	30
2.6.4 Interaktion der Parallelisierungsebenen	31
2.6.5 Bewertung der Parallelisierungsstrategien	31
2.7 Anforderungen an einen parallelen Bildverarbeitungsprozessor	32
2.7.1 Zusammenfassung der identifizierten Anforderungen	32
2.7.2 Gewichtung der unterschiedlichen Verarbeitungsanforderungen	32
3 Parallele VLSI-Bildverarbeitungsprozessoren	35
3.1 Vorstellung und Klassifikation bekannter Architekturen	35
3.2 Diskussion und Bewertung der bisherigen Lösungen	39
3.2.1 Coprozessor Architekturen	40
3.2.2 Vektorrechner	43
3.2.3 Homogene Multiprozessoren	44
3.2.3.1 MIMD-Multiprozessoren	44
3.2.3.2 SIMD Multiprozessoren	45
3.3 Von bisherigen Lösungen nicht erfüllte Anforderungen	48
4 Neue parallele VLSI Prozessorarchitektur	51
4.1 Der gewählte Ansatz zur Bewertung von Entwurfsalternativen	52

4.1.1	Elemente der Fertigungskosten integrierter Schaltungen	52
4.1.1.1	Zusammensetzung der Fertigungskosten	52
4.1.1.2	Schlußfolgerungen aus der Diskussion der Fertigungskosten	53
4.1.2	Faktoren der Verarbeitungsleistung programmierbarer Prozessoren	54
4.1.2.1	Definition der Verarbeitungsleistung und Identifikation der Faktoren	54
4.1.2.2	Bewertung der Faktoren	56
4.1.2.3	Rückschlüsse für die Bewertung der Verarbeitungsleistung	56
4.1.3	Zur Auswahl von Entwurfsalternativen	57
4.2	Architekturmerkmale zur Erfüllung des Anforderungskatalogs	57
4.2.1	Architekturoptimierung für hohe sequentielle Verarbeitungsleistung	58
4.2.2	Optimierung der Flexibilität für hohen Grad an Parallelverarbeitung	59
4.2.3	Optimierung der Steuerung paralleler Einheiten	60
4.2.4	Optimierung der Speicherarchitektur	61
4.2.5	Zusammenführen der Architekturmerkmale zu einer Gesamtarchitektur	62
4.3	Gesamtdarstellung der neuen Architektur	64
4.3.1	Steuerung des Prozessors	65
4.3.2	Laden und Schreiben der internen Speicher	66
4.3.2.1	Matrix-Speicher	66
4.3.2.2	Daten-Caches	66
4.3.3	Arithmetische Operationen in autonomen Datenpfaden	67
4.3.4	DMA-Controller zur Daten Ein- und Ausgabe	67
4.3.5	Interprozessor-Kommunikation über ein Hypercube-Netzwerk	68
4.3.6	Serielle Systemtestschnittstelle	69
4.4	Diskussion der vorgeschlagenen Architektur	69
4.4.1	Zur Auswahl der implementierten Parallelisierungsebenen	69
4.4.1.1	Monolithisch implementierte Parallelisierungsebenen	69
4.4.1.2	Parallelisierungsebenen eines Multiprozessorsystems	69
4.4.1.3	Nicht implementierte Parallelisierungsebene	70
4.4.2	Instruktionsparallelität	70
4.4.2.1	Methoden zur Implementierung von Instruktionsparallelität	70
4.4.2.2	Implementierung gleichzeitiger Operationen	71
4.4.2.3	Ausführungshemmnisse und Software-Pipelining	71
4.4.2.4	Klassen paralleler Instruktionen	73
4.4.2.5	Befehlssatz für Bildverarbeitungsverfahren	74
4.4.2.6	Parallelität auf Bit-Ebene	75
4.4.2.7	Implementierung der parallelen Instruktionen	75
4.4.2.8	Bewertung des implementierten parallelen Instruktionssatzes	77
4.4.3	Datenparallele Verarbeitung	77
4.4.3.1	Konsequenzen der Datenzugriffsanforderungen für eine parallele Architektur	77
4.4.3.2	Gemeinsamer Speicher mit segmentorientiertem matrixförmigem Zugriff	80
4.4.3.3	Separate Daten-Caches für gleichzeitigen unabhängigen Zugriff	82
4.4.3.4	Bewertung der vorgeschlagenen Speicher-Architektur	86
4.4.3.5	Steuerung der parallelen Datenpfade	86
4.4.3.6	Bewertung des gewählten Ansatzes zur Steuerung des Prozessors	88
4.4.4	Datentransfer zeitgleich zur Datenverarbeitung	92
4.4.5	RISC Mikroinstruktions-Pipelining	92
4.5	Compiler-Unterstützung und Software-Modell des Prozessors	95
4.5.1	Architektonische Maßnahmen zur Unterstützung von Compilern	95
4.5.2	Integration der Parallelisierungsebenen in Compiler und Assembler	96

4.5.3	Programmiermodell des Prozessors in einer Hochsprache	98
4.5.4	Bewertung des gewählten Ansatzes für die Unterstützung von Hochsprachen ..	100
5	Realisierungsdaten und Bewertung	102
5.1	Technologische Daten der Architektur	102
5.1.1	Prototypenrealisierung des Prozessors	102
5.1.2	Realisierungsaufwand der einzelnen Module und des gesamten Prozessors ...	102
5.1.3	Taktfrequenz	103
5.2	Verarbeitungsleistung der Architektur	103
5.2.1	Zur Auswahl der Algorithmen	104
5.2.1.1	Normalisierte Korrelation	104
5.2.1.2	Komplexwertige FFT	104
5.2.1.3	Grauwert-Histogramm	105
5.2.1.4	Hough-Transformation	105
5.2.1.5	Videocodierung nach dem MPEG2-Standard	106
5.2.2	Verarbeitungsdauer und mittlere Parallelität der ausgewählten Algorithmen ..	106
5.3	Bewertung der Realisierung	108
5.3.1	Realisierungsaufwand und Taktfrequenz	108
5.3.2	Verarbeitungsleistung	109
6	Zusammenfassung	111
A	Der HiPAR-Befehlssatz	113
A.1	Erläuterung der verwendeten Abkürzungen	113
A.2	Befehlsklasse Load/Store	114
A.2.1	Matrix-Speicher	114
A.2.2	Globaler Speicher / Caches	114
A.2.3	Modulschnittstelle:	115
A.2.4	Sonstige:	115
A.3	Befehlsklasse Arithmetik	115
A.3.1	Arithmetische/Logische Operationen	115
A.3.2	Move	118
A.3.3	Multiplizierer	118
A.3.4	Shiften/Runden	118
A.4	Befehlsklasse Kontrolloperationen	119
A.4.1	Registertransfer Operationen	119
A.4.2	Logische und arithmetische Operationen auf den Controllerregistern	119
A.4.3	Branch-Befehle	122
A.4.4	Compare - Befehle	122
A.4.5	Schleifen-Befehle	123
A.4.6	Datenpfad-Kontrollbefehle	123
A.4.7	TRAP-Befehle	123
A.4.8	Globale Kontrollbefehle	123
B	Implementierungen der ausgewählten Algorithmen	124
B.1	Wesentliche Architektur-Eigenschaften	124
B.1.1	Pipeline-Verzögerungen	124
B.1.2	Taktperiode	125
B.1.3	Gleichzeitigkeit von Operationen	125
B.2	Normalisierte Korrelation	126

B.2.1	Parallele Berechnung	126
B.2.2	Programmierung der Korrelation	126
B.2.2.1	Speicher Aufteilung	126
B.2.2.2	Nachladen von Bild- oder Referenzdaten, Speichern von Zwischendaten	127
B.2.2.3	Wortbreiten und Genauigkeit	127
B.2.2.4	Register Aufteilung	127
B.2.2.5	Programmcode der inneren Schleifen	128
B.2.3	Verarbeitungsdauer	128
B.3	Hough-Transformation	129
B.3.1	Parallele Berechnung	129
B.3.2	Programmierung der Transformation	129
B.3.2.1	Speicher-Aufteilung und Nachladen der Daten	129
B.3.2.2	Wortbreiten	130
B.3.2.3	Register-Aufteilung	130
B.3.2.4	Programmcode der inneren Schleifen	130
B.3.3	Verarbeitungsdauer	133
B.3.4	Programmierung der Schwellwert-Bildung	133
B.3.4.1	Speicher-Aufteilung	133
B.3.4.2	Tricks	133
B.3.4.3	Register-Aufteilung	134
B.3.4.4	Programmcode der inneren Schleifen	134
B.3.5	Verarbeitungsdauer	135
B.4	Grauwert-Histogramm	135
B.4.1	Parallele Berechnung	135
B.4.2	Verarbeitungsschritte	136
B.4.3	Programmierung der Histogrammberechnung	136
B.4.3.1	Speicheraufteilung	136
B.4.3.2	Register-Aufteilung	137
B.4.3.3	Programmcode der inneren Schleifen	137
B.4.4	Programmierung des Zusammenfassens der Zwischenwerte	138
B.4.4.1	Speicheraufteilung	138
B.4.4.2	Register-Aufteilung	139
B.4.4.3	Programmcode der inneren Schleife	139
B.4.5	Verarbeitungsdauer	140
B.5	Komplexwertige Fourier-Transformation	140
B.5.1	Parallele Berechnung	141
B.5.1.1	Speicheraufteilung	141
B.5.1.2	Register Aufteilung	142
B.5.1.3	Programmcode zur Berechnung der "Butterflies"	143
B.5.2	Verarbeitungsdauer	144
B.5.2.1	Berechnung einer reelwertigen FFT	144
C	Bildcodierung am Beispiel MPEG2	145
C.1	Systemaspekte und zugrundeliegende Annahmen	145
C.2	Performanceabschätzung der MPEG2 Tasks	147
C.3	Speicherbelegung und Datenfluß	148
	Literatur	150