

Inhaltsverzeichnis

1	Einleitung	1
2	Ereignisgesteuerte Simulation	3
2.1	Das Prinzip der ereignisgesteuerten Simulation	3
2.2	Partitionierung von MOS-Schaltungen	3
2.3	Der Switch-Level-Logiksimulator MOSSIM II	4
2.3.1	Definitionen	5
2.3.2	Der Simulationsablauf	6
2.3.3	Der Ablauf eines Simulationsschrittes	6
2.4	BRASIL2, eine Erweiterung von MOSSIM II	10
2.5	Switch-Level-Timing-Simulation	14
2.5.1	Ereignisverwaltung	15
2.5.2	Konfliktbehandlung	17
3	Makromodellierung digitaler MOS-Schaltungen	20
3.1	Anforderungen an ein Makromodellierungsverfahren	20
3.2	Makromodellierungsverfahren in der Literatur	21
3.3	Transistormodellierung	23
3.4	Berechnung der stationären Knotenpotentiale	26
3.5	Empirisches Makromodellierungsverfahren für NMOS-Gatter	27
3.5.1	Berechnung der logischen Triggerspannung	28
3.5.2	Abbildung eines Logikgatters in einen äquivalenten Inverter	30
3.5.3	Normierung der Verzögerungszeit bei NMOS-Gattern	32
3.5.4	Normierung der Änderungszeit des Ausgangssignals	38
3.5.5	Anwendung des Makromodellierungsverfahrens	39
3.5.6	Bewertung des Makromodellierungsverfahrens	41
3.6	Empirisches Makromodellierungsverfahren für CMOS-Gatter	44
4	Timing-Simulation mit zeitvarianten MOS-Transistormodellen	47
4.1	Modellierung der Transistoren mit zeitvarianten Leitwerten	50
4.1.1	Prinzipielle Vorgehensweise bei der Modellierung angeregter Transistoren	51
4.1.2	Modellierung angeregter Transistoren bei NMOS-Technologie	55
4.1.3	Modellierung angeregter Transistoren bei CMOS-Technologie	61
4.1.4	Anwendung des Modellierungsverfahrens für angeregte Transistoren	63
4.1.5	Bewertung des Modellierungsverfahrens für angeregte Transistoren	64

4.1.6	Modellierung nichtangeregter Transistoren	67
4.1.7	Modellierung selbstanregender Transistoren	73
4.2	Aufstellen des Differentialgleichungssystems	73
4.3	Lösung des Differentialgleichungssystems	76
4.3.1	Suche nach einer analytischen Lösung für das Differentialgleichungssystem	76
4.3.2	Suche nach einer Näherungslösung für das Differentialgleichungssystem mit Hilfe der Waveform-Relaxation	77
4.3.3	Lösung des Differentialgleichungssystems durch numerische Integration	82
4.4	Schrittweitensteuerung bei der numerischen Integration	83
5	Auswahl des geeigneten Modellierungsverfahrens	86
5.1	Die Schaltungsanalyse	86
5.2	Regeln zur Bestimmung der Transistorfunktionen	87
5.2.1	Regeln für CMOS-Technologie	88
5.2.2	Regeln für NMOS-Technologie	89
5.3	Verfahrensauswahl	92
6	Anwendung der Simulationsverfahren	93
6.1	Überblick über den Simulator BRASIL	93
6.2	Beispielschaltungen	94
6.3	Anwendung des Switch-Level-Logiksimulators BRASIL2	103
6.4	Anwendung des Timing-Simulators BRASIL4/5	104
6.5	Anwendung des Timing-Simulators BRASIL5	110
7	Zusammenfassung	115
	Anhang	116
A	Tabellen und Bilder zum Makromodellierungsverfahren	116
A.1	Makromodellierung von NMOS-Logikgattern	116
A.2	Makromodellierung von CMOS-Logikgattern	121
B	Tabellen und Bilder zur Modellierung angeregter Transistoren	126
B.1	Modellierung angeregter Transistoren in NMOS-Logikgattern	126
B.2	Modellierung angeregter Transistoren in CMOS-Logikgattern	128
C	Nebenrechnungen	131
C.1	Lösung eines nichtlinearen Gleichungssystems für die Unbekannten λ und μ	131
C.2	Berechnung der Taylor-Reihe für die Integralfunktion sf	132
C.3	Berechnung eines uneigentlichen Integrals für $\alpha < 0$	133
	Literaturverzeichnis	135